

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi ENDOH**

Serial No.: Not Yet Assigned

Filed: **March 7, 2002**

*#2/Party
5-15-2
Junkin*



For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 7, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-101443, filed March 30, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP

Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 020300
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/II

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月30日

出 願 番 号
Application Number:

特願2001-101443

出 願 人
Applicant(s):

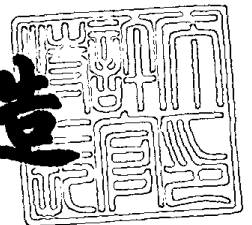
富士通カンタムデバイス株式会社



2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3104774

【書類名】 特許願

【整理番号】 0100072

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 14

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 遠藤 浩

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 委任状 1

【援用の表示】 同日提出の包括委任状提出書に添付のものを援用する。

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体層上に、傘状部位を有するオーバーハング形状の構造体を形成する工程と、

前記構造体の表面を覆うように保護膜を形成する工程と、

前記保護膜を、前記半導体層における端部が前記傘状部位よりも内側に位置するように除去して加工する工程と、

前記傘状部位をマスクとして前記半導体層上に電極材料を堆積する工程と、

前記電極材料を加工し、前記保護膜の端部と離間してなる電極を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記保護膜を加工するに際して、

前記保護膜を前記半導体層上で前記傘状部位よりも内側に延在した状態で残すことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記保護膜を加工するに際して、

前記傘状部位の底下部を覆い、端部が当該傘状部位よりも内側に位置する形状のマスクを形成し、前記マスクを用いて前記保護膜を選択的に除去することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記マスクを形成するに際して、

前記傘状部位の底下部を含む全面にレジストを塗布する工程と、

前記レジストの全面を露光する工程と、

前記傘状部位の底下部に未露光部分を選択的に残すように、前記レジストを現像する工程と

を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記保護膜を加工するに際して、

表面に対して方向性を有するエッチング法により、マスクを用いることなく前記保護膜をエッチングし、そのエッチング量を制御することによって前記保護膜の端部を前記傘状部位よりも内側に位置せしめることを特徴とする請求項 2 に記

載の半導体装置の製造方法。

【請求項 6】 前記保護膜を加工するに際して、
前記保護膜を前記半導体層上から実質的に除去した状態で残すことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記保護膜を加工するに際して、
前記傘状部位の底部を含む全面を覆うレジストであって、光感度が高く前記底部の一部を覆う膜厚の第 1 の層と、光感度の低い第 2 の層とを積層してなるレジストを形成する工程と、

前記レジストの全面を露光する工程と、

前記傘状部位の底部において、前記第 1 の層と前記第 2 の層との光感度の相違に応じた現像により、前記傘状部位の底部における前記構造体の表面のみを覆う形に前記レジストを残して、前記保護膜の加工用のマスクを形成する工程とを含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記構造体は、バイポーラトランジスタのエミッタ構造であり、

前記電極は、バイポーラトランジスタのベース電極であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 前記構造体は、電界効果型トランジスタのゲート電極であり

前記電極は、電界効果型トランジスタのソース電極及びドレイン電極であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】 半導体層と、

前記半導体層上に形成され、傘状部位を有するオーバーハング形状の構造体と

前記構造体の表面の少なくとも一部を覆い、前記半導体層における端部が前記傘状部位よりも内側に位置する保護膜と、

前記半導体層上の前記傘状部位よりも外側で、前記保護膜の端部から離間する位置に形成された電極と

を備えたことを特徴とする半導体装置。

【請求項 1 1】 前記保護膜は、前記半導体層上で前記傘状部位よりも内側に延在した状態に形成されていることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 2】 前記保護膜は、その端部が前記構造体の根元と前記半導体層との接点に位置するように形成されていることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 3】 前記構造体は、バイポーラトランジスタのエミッタ構造であり、

前記電極は、バイポーラトランジスタのベース電極であることを特徴とする請求項 1 0 ～ 1 2 のいずれか 1 項に記載の半導体装置。

【請求項 1 4】 前記構造体は、電界効果型トランジスタのゲート電極であり、

前記電極は、電界効果型トランジスタのソース電極及びドレイン電極であることを特徴とする請求項 1 0 ～ 1 2 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、オーバーハング形状の構造体と、その近傍に電極を有する構成の半導体装置及びその製造方法に関し、特に I I I - V 族化合物半導体のヘテロ接合バイポーラトランジスタ (H B T) 等に適用して好適である。

【 0 0 0 2 】

【従来の技術】

H B T をはじめとする I I I - V 族の化合物半導体トランジスタは、高周波、高速スイッチング素子として広く利用されている。

【 0 0 0 3 】

図 1 2 は、従来の H B T の一例を示す概略断面図である。

この H B T では、半絶縁性の G a A s 基板 1 0 1 上に、有機金属気相成長法 (M O C V D 法) により、n 型 G a A s コレクタ層 1 0 2、P 型 G a A s ベース層 1 0 3、エミッタ層 1 0 4 が順次積層形成されており、エミッタ層 1 0 4 にはオ

ーム性のエミッタ電極層105が設けられている。

【0004】

エミッタ層104は、n型InGaAs層104a、n型GaAs層104b、n型InGaP層104c、n型GaAs層104d、n型InGaP層104eが順次積層され、n型InGaP層104c、n型GaAs層104d、n型InGaP層104e、及びエミッタ電極層105がオーバーハング形状の構造体に加工されている。この構造体は、n型InGaP層104c、n型GaAs層104d、n型InGaP層104eが柄状部位を、エミッタ電極層105が傘状部位を構成してなるものである。

【0005】

そして、オーバーハング形状の構造体を覆うように全面に絶縁膜が堆積され、これが傘状部位をマスクとしてエッチング除去されてなる保護膜106と、n型GaAs層104b上に、保護膜106と同様に傘状部位をマスクとしてエッチングされてなるベース電極層107と、n型GaAs層104b、n型InGaAs層104a、P型GaAsベース層103、及びn型GaAsコレクタ層102に形成された開口底部のn型GaAsコレクタ層102上に形成されてなるコレクタ電極層108とが設けられ、全面に層間絶縁膜109が形成されて、HBTが構成される。

【0006】

【発明が解決しようとする課題】

しかしながら、上記の如き構造のHBTは、ベース電極層に故障が生じ易く、これが高温動作におけるデバイスの信頼度を低下させる主要原因となっている。このような不都合は、HBTに限らず、オーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極が形成されてなる半導体装置、例えば自己整合型の電界効果型トランジスタ(FET)等にも発生する問題であり、早急の解決が待たれている現況にある。

【0007】

そこで本発明は、HBTやMESFETに代表されるような、半導体層上にオーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極

が形成されてなる半導体装置において、当該電極（H B T の場合ではベース電極層、M E S F E T の場合ではゲート電極）に発生しがちな故障を抑止し、特に高温動作における高いデバイス信頼性を確保することを実現する半導体装置及びその製造方法を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【 0 0 0 9 】

本発明は、H B T や自己整合型の F E T のように、半導体層上にオーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極が形成されてなる半導体装置及びその製造方法を対象とする。

【 0 0 1 0 】

H B T の場合では、前記構造体がエミッタ構造、前記電極がベース電極となり、自己整合型の F E T の場合では、前記構造体がゲート電極、前記電極がソース及びドレインとなる。

【 0 0 1 1 】

本発明の半導体装置は、半導体層と、前記半導体層上に形成され、傘状部位を有するオーバーハング形状の構造体と、前記構造体の表面の少なくとも一部を覆い、前記半導体層上における端部が前記傘状部位よりも内側に位置する保護膜と、前記半導体層上の前記傘状部位よりも外側で、前記保護膜の端部から離間する位置に形成された電極とを備えたことを特徴とするものである。

【 0 0 1 2 】

本発明の半導体装置の製造方法は、半導体層上に、傘状部位を有するオーバーハング形状の構造体を形成する工程と、前記構造体の表面を覆うように保護膜を形成する工程と、前記保護膜を、前記半導体層上における端部が前記傘状部位よりも内側に位置するように除去して加工する工程と、前記傘状部位をマスクとして前記半導体層上に電極材料を堆積する工程と、前記電極材料を加工し、前記保護膜の端部と離間してなる電極を形成する工程とを含むことを特徴とするものである。

【 0 0 1 3 】

ここで具体的には、前記保護膜を、前記半導体層上で前記傘状部位よりも内側に延在した状態に形成する。

【 0 0 1 4 】

このような保護膜形状は、前記傘状部位の底下部を覆い、端部が当該傘状部位よりも内側に位置する形状のマスクを形成し、前記マスクを用いて前記保護膜を選択的に除去することで実現できる。

【 0 0 1 5 】

このマスクは、前記傘状部位の底下部を含む全面にレジストを塗布する工程と、前記レジストの全面を露光する工程と、前記傘状部位の底下部に未露光部分を選択的に残すように、前記レジストを現像する工程とを実行することにより実現できる。

【 0 0 1 6 】

他方、上記のようなマスクを用いることなく、表面に対して方向性を有するエッチング法により、マスクを用いることなく前記保護膜をエッチングし、そのエッチング量を制御することによって前記保護膜の端部を前記傘状部位よりも内側に位置せしめるようにすることも好適である。

【 0 0 1 7 】

また、前記保護膜を前記半導体層上から実質的に除去した状態で残し、前記保護膜を、その端部が前記構造体の根元と前記半導体層との接点に位置するように形成しても良い。

【 0 0 1 8 】

このような保護膜形状は、前記傘状部位の底下部を含む全面を覆うレジストであって、光感度が高く前記底下部の一部を覆う膜厚の第1の層と、光感度の低い第2の層とを積層してなるレジストを形成する工程と、前記レジストの全面を露光する工程と、前記傘状部位の底下部において、前記第1の層と前記第2の層との光感度の相違に応じた現像により、前記傘状部位の底下部における前記構造体の表面のみを覆う形に前記レジストを残して、前記保護膜の加工用のマスクを形成する工程とを実行することにより実現できる。

【0019】

【発明の実施の形態】

【0020】

(本発明の原理的説明)

図12で示した構成の従来のHBTを高温通電試験にかけたところ、短時間で素子劣化が生じていることが判明した。

【0021】

この通電劣化したサンプルを断面TEM観察したところ、図1(a)に示すように、ベース電極層107の金属材料がn型GaAsエミッタ層104b側へ異常拡散(矢印111で示す。)していることが判った。

【0022】

更に、異常拡散しているサンプル(図1(a))と、当該異常拡散の見られない清浄なサンプル(図1(b))との断面TEM観察の比較を行なうと、異常拡散しているサンプルでは、ベース電極1の金属材料が保護膜(パッシベーション膜)106上に乗り上げている(以下、この状態をオーバーラップと表現する。)ことが判明した。

【0023】

このオーバーラップした箇所には、全面を覆う層間絶縁膜109が被覆形成されているが、この層間絶縁膜109は、図2に示すように、熱膨張率の相異なる多層膜(ここでは、光CVDによるSiN膜109a(BD), プラズマCVDによるSiN膜109b(RL), 光CVDによるSiN膜109c(RL), プラズマCVDによるSiN膜109d(CA)が順次積層されてなる多層膜)として形成されており、ベース電極層107の近傍では極めて複雑な状態であって、当該近傍には過剰なストレスが加わっている。

【0024】

図3に、GaAs基板上にHBTの製造工程を経て層間絶縁膜109を積層形成した場合におけるストレス値の変化を示す。

ここで、圧縮方向を表面が凸となる方向とする。基板表面が引き伸ばされることにより、格子間隔は通常の場合よりも広がり、この状態では(基板全体の復元

力で) 圧縮応力を受けることになる。

【0025】

図3から明らかなように、層間絶縁膜109を構成する各積層膜を形成する毎に、ストレスが大きく変化している様子が伺える。ストレスが加わった箇所で異常拡散が進行し易い理由は、本来規則正しく配列されている半導体結晶中の原子配列が、強いストレスを受けることにより乱され異常拡散を惹起するからである。

【0026】

パッシベーション膜43の半導体層上における後退状態としては、図4に示すように、オーバーハング形状の構造体41の傘状部位41aに対面する部分の半導体層42上の一部で傘状部位41aよりも内側に延在するようにパッシベーション膜43を残す態様と、図5に示すように、傘状部位41aに対面する部位の半導体層42上でパッシベーション膜43を全て除去する態様とが考えられる。

【0027】

本発明のHBTでは前者の態様を採用し、図6に示すように、パッシベーション膜6の端部がオーバーハング形状のエミッタ構造体10の端位置よりも距離Lだけ内側に位置しており、エミッタ構造体10をマスクとしてエッチングしてベース電極層7を形成しても、ベース電極層7がパッシベーション膜6の端部にオーバーラップしないように離間して形成される。従って、多層構造に形成される層間絶縁膜9によるストレスに起因するベース電極層7の金属材料(ベース金属)の異常拡散が防止されることになる。

【0028】

図6に示す構造は、HBTに特に有効に作用する。HBTでは、オーバーハング形状のエミッタ構造体10の傘状部位10aに対面する半導体層上にパッシベーション膜6を必要とする理由は、ベース電極層7の蒸着時の金属材料の回り込みによる、半導体層面とベース電極層7とのコンタクトを防止するためである。これは、ベース金属の回り込みによるコンタクト距離がエミッタ側へ延びた場合、エミッタ・ベース間のイオード特性がリーキーとなり、トランジスタ特性を劣化させる原因になるからである。この場合、パッシベーション膜6の後退位置と

しては、ダイオード特性に影響を生ぜしめない本来のベース金属の正常拡散量（ $0.1\ \mu\text{m}$ 程度）以下にすることが望ましい。

【 0 0 2 9 】

本発明のMESFETでは後者の態様を採用し、図7に示すように、パッシベーション膜26の端部がオーバーハング形状のゲート電極24の根元とn-GaAs領域23との接点に位置するように形成されており、ゲート電極24をマスクとしてエッチングしてオーミック電極層27を形成しても、オーミック電極層27がパッシベーション膜26の端部にオーバーラップしないように離間して形成される。従って、多層構造に形成される層間絶縁膜28によるストレスに起因するオーミック電極層27の金属材料の異常拡散が防止されることになる。

【 0 0 3 0 】

図7に示す構造は、自己整合型のFET（ここではオーバーハング形状のゲート電極を備えたMESFET）に特に有効に作用する。FETでは、ゲート／オーミック間の表面ストレスはしきい値電圧（ V_{th} ）のゲート幅依存性を引き起こす危険性があるため、オーバーハング形状のゲート電極の傘上部位に対面する部分のパッシベーション膜を除去してストレスフリーとすることが望ましい。なお、この構造をHBTに適用することも可能である。

【 0 0 3 1 】

以下、上述の原理的説明を踏まえ、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

【 0 0 3 2 】

（第1の実施形態）

本実施形態では、半導体装置としてヘテロ接合バイポーラトランジスタ（HBT）を例示する。ここでは便宜上、HBTの構造をその製造方法とともに説明する。

【 0 0 3 3 】

図8及び図9は、第1の実施形態に係るHBTの製造方法を工程順に示す概略断面図である。

このHBTの製造するには、先ず図8（a）に示すように、半絶縁性のGaAs

s基板1上に、有機金属気相成長法（MOCVD法）により、n型GaAsコレクタ層2、p型GaAsベース層3、エミッタ層4が順次積層形成する。

【0034】

ここで、エミッタ層4は、n型InGaP層4a、n型GaAs層4b、n型InGaP層4c、n型GaAs層4d、n型InGaAs層4eを順次積層して形成する。

【0035】

続いて、図8（b）に示すように、n型InGaAs層4e上にエミッタ電極層を積層し、これをフォトリソグラフィー及びそれに続くドライエッチングにより加工し、エミッタ電極層5をパターン形成する。

【0036】

続いて、図8（c）に示すように、エミッタ電極層5をマスクとして、n型InGaAs層4e及びn型GaAs層4dをエッチングし、n型InGaP層4cを露出させる。ここで、当該エッチング処理は、AlGaAs層（不図示）まで選択性ドライエッチングを、その後、n型InGaP層4cまで選択性ウェットエッチングを行うものとする。この選択性ウェットエッチングによりn型GaAs層4dがサイドエッチングされる。

【0037】

続いて、図8（d）に示すように、n型InGaP層4cをエッチングすることにより、オーバーハング形状のエミッタ構造体10が得られる。このエミッタ構造体10は、n型InGaP層4c、n型GaAs層4d、n型InGaAs層4eが柄状部位10bを、エミッタ電極層5が傘状部位10aを構成してなるものである。

【0038】

次に、エミッタ構造体10を覆うように全面にSiNからなる保護膜（パッシベーション膜）6を形成する。

【0039】

続いて、図9（a）に示すように、全面にレジストを塗布し、このレジストの全面を露光し、傘状部位10aの庇下部に未露光部分を選択的に残すように、レ

ジストを現像し、傘状部位10aの底下部を覆い、端部が当該傘状部位10aよりも内側に位置する形状のレジストマスク11を形成する。

【0040】

続いて、図9(b)に示すように、パッシベーション膜6をウェットエッチングし、レジストマスク11に覆われていない部位のパッシベーション膜6を除去する。そして、 O_2 プラズマを用いた灰化处理等によりレジストマスク11を除去し、パッシベーション膜6をn型GaAs層4b上で傘状部位10aよりも内側に延在した状態で残すように加工する。

【0041】

続いて、図9(c)に示すように、全面にベース電極層を蒸着し、レジストをマスクとしてイオンミリング法によりベース電極層を加工し、ベース電極層7をパターン形成する。このとき、傘状部位10aがエッチングマスクとなり、ベース電極層7はパッシベーション膜6の端部にオーバーラップしないように離間して形成されることになる。

【0042】

ここで、パッシベーション膜6を、n型GaAs層4b上で傘状部位10aよりも内側に延在した状態で残すように加工するに際して、表面に対して方向性を有するエッチング法により、レジストマスク11の如きマスクを用いることなくパッシベーション膜6をエッチングし、そのエッチング量を制御することによってパッシベーション膜6の端部を傘状部位10aよりも内側に位置せしめるようにしても好適である。

【0043】

続いて、図9(d)に示すように、n型GaAs層104b、n型InGaAs層104a、P型GaAsベース層103、及びn型GaAsコレクタ層102に開口12を形成し、この開口12の底部に露出するn型GaAsコレクタ層102上にコレクタ電極層8をリフトオフにより形成する。

【0044】

そして、全面を覆うように層間絶縁膜9を堆積形成し、バルク工程を完了する。この層間絶縁膜9は、層間絶縁膜109と同様に、光CVDによるSiN膜、

プラズマCVDによるSiN膜，光CVDによるSiN膜，プラズマCVDによるSiN膜が順次積層されてなる多層膜である。

しかる後、諸々の後工程を経て、HBTを完成させる。

【0045】

以上説明したように、本実施形態では、パッシベーション膜6をn型GaAs層4b上で傘状部位10aよりも内側に延在した状態で残すように加工することにより、ベース電極層7とパッシベーション膜6の端部とがオーバーラップせず離間して形成されるため、ベース電極層7に発生しがちな故障を抑止し、特に高温動作における高いデバイス信頼性を確保することができる。

【0046】

(第2の実施形態)

本実施形態では、化合物半導体装置であるMESFETを例示する。ここでは便宜上、当該MESFETの製造方法と共にその構成について開示する。

【0047】

図10及び図11は、第2の実施形態に係るMESFETの製造方法を工程順に示す概略断面図である。

このLD-MESFETを製造するには、先ず図10(a)に示すように、ノン・ドープのGaAs基板21を用意し、このGaAs基板21の表層にチャネル領域形成のためのn型不純物をイオン注入してn-GaAs領域22を形成する。

【0048】

続いて、オーバーハング形状のゲート電極24をリフトオフにより形成する。

具体的には、n-GaAs領域22上にシリコン酸化物等によるダミーゲート(不図示)を形成し、これを用いて図示のような形状の開口23aを有するレジストパターン23を形成する。

【0049】

次に、開口23aを埋め込むように、レジストパターン23上にスパッタ法によりタングステン・シリサイド(WSi)層32を堆積形成する。

【0050】

そして、レジストパターン23及びその上の不要なWSi層32を除去することにより、開口23aの形状に倣ったオーバーハング形状のゲート電極24がパ形成される。このゲート電極24は、傘状部位24aと柄状部位24bとからオーバーハング形状を構成する。

【0051】

続いて、フォトリソグラフィによりゲート電極4上を含むGaAs基板21上の所定領域を覆うレジストマスク（不図示）を形成する。そして、このレジストマスクを用い、図10（c）に示すように、露出したn-GaAs領域22の表層（ここではオーミック領域となる部位）にn型不純物をイオン注入し、ソース/ドレインとなる一対の n^+ -GaAs領域25を形成する。

【0052】

次に、ゲート電極24を覆うように全面にSiNからなる保護膜（パッシベーション膜）26を形成する。

【0053】

続いて、図10（d）に示すように、傘状部位24aの底下部を含む全面を覆うレジストであって、光感度が高く前記底下部の一部を覆う膜厚の第1のレジスト31aと、光感度の低い第2のレジスト31bとを積層してなるレジストを塗布する。

【0054】

続いて、図11（a）に示すように、このレジストの全面を露光し、傘状部位24aの底下部において、第1のレジスト31aと第2のレジスト31bとの光感度の相違に応じた現像により、傘状部位24aの底下部におけるゲート電極24の表面のみを覆う形にレジストを残して、レジストマスク31を形成する。

【0055】

続いて、図11（b）に示すように、パッシベーション膜26をウェットエッチングし、レジストマスク31に覆われていない部位のパッシベーション膜26を除去する。そして、 O_2 プラズマを用いた灰化处理等によりレジストマスク31を除去し、パッシベーション膜26をGaAs基板21上から実質的に除去し

た状態、即ちパッシベーション膜 2 6 の端部が柄状部位 2 4 b の根元と $n-GaAs$ 領域との接点に位置する状態で残すように加工する。

【0056】

続いて、図 1 1 (c) に示すように、ゲート電極 2 4 及びオーミック電極層 2 7 となる領域を開口したレジストマスク（不図示）を形成した後、全面に Au を蒸着し、このレジストを除去するリフトオフ法により Au を加工し、各 n^+-GaAs 領域 2 5 と接続されるオーミック電極層 2 7 をパターン形成する。このとき、傘状部位 2 4 a がエッチングマスクとなり、オーミック電極層 2 7 がパッシベーション膜 2 6 の端部にオーバーラップしないように離間して形成されることになる。

【0057】

そして、図 1 1 (c) に示すように、全面を覆うように層間絶縁膜 2 8 を堆積形成し、バルク工程を完了する。

しかる後、諸々の後工程を経て、MESFET を完成させる。

【0058】

以上説明したように、本実施形態では、パッシベーション膜 2 6 を $GaAs$ 基板 2 1 上から実質的に除去した状態に加工することにより、オーミック電極層 2 7 とパッシベーション膜 2 6 の端部とがオーバーラップせずに離間して形成されるため、オーミック電極層 2 7 に発生しがちな故障を抑止し、特に高温動作における高いデバイス信頼性を確保することができる。

【0059】

なお、第 1 の実施形態では HBT、第 2 の実施形態では MESFET をそれぞれ例示したが、本発明はこれらに限定されることなく、半導体層上にオーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極が形成される半導体装置であれば、有効に適用可能である。

【0060】

【発明の効果】

本発明によれば、HBT や MESFET に代表されるような、半導体層上にオーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極

が形成されてなる半導体装置において、当該電極（H B T の場合ではベース電極層、M E S F E T の場合ではゲート電極）に発生しがちな故障を抑止し、特に高温動作における高いデバイス信頼性を確保することが可能となる。

【図面の簡単な説明】

【図 1】

従来の H B T を用いて高温通電試験を行った際の結果を示す概略断面図である。

【図 2】

H B T の層間絶縁膜が多層構成とされている様子を示す概略断面図である。

【図 3】

H B T の層間絶縁膜に付加されるストレスの変化を、当該層間絶縁膜を構成する各膜毎に調べた結果を示す特性図である。

【図 4】

本発明におけるパッシベーション膜の一形態を示す概略断面図である。

【図 5】

本発明におけるパッシベーション膜の他の形態を示す概略断面図である。

【図 6】

図 4 に対応して構成された H B T のオーバーハング構造体近傍の概要を示す概略断面図である。

【図 7】

図 5 に対応して構成された M E S F E T のオーバーハング構造体近傍の概要を示す概略断面図である。

【図 8】

第 1 の実施形態に係る H B T の製造方法を工程順に示す概略断面図である。

【図 9】

図 8 に引き続き、第 1 の実施形態に係る H B T の製造方法を工程順に示す概略断面図である。

【図 1 0】

第 2 の実施形態に係る M E S F E T の製造方法を工程順に示す概略断面図であ

る。

【図11】

図10に引き続き、第2の実施形態に係るMESFETの製造方法を工程順に示す概略断面図である。

【図12】

従来のHBTの一例を示す概略断面図である。

【符号の説明】

- 1, 21 GaAs基板
- 2 n型GaAsコレクタ層
- 3 p型GaAsベース層
- 4 エミッタ層
- 4a, 4c n型InGaP層
- 4b, 4d n型GaAs層
- 4e n型InGaAs層
- 5 エミッタ電極層
- 6, 26 保護膜（パッシベーション膜）
- 7 ベース電極層
- 8 コレクタ電極層
- 10 エミッタ構造体
- 9, 28 層間絶縁膜
- 10a, 24a 傘状部位
- 10b, 24b 柄状部位
- 11, 31 レジストマスク
- 12 開口
- 22 p-GaAs領域
- 23 n-GaAs領域
- 24 ゲート電極
- 25 n⁺-GaAs領域（ソース／ドレイン）
- 27 オーミック電極層

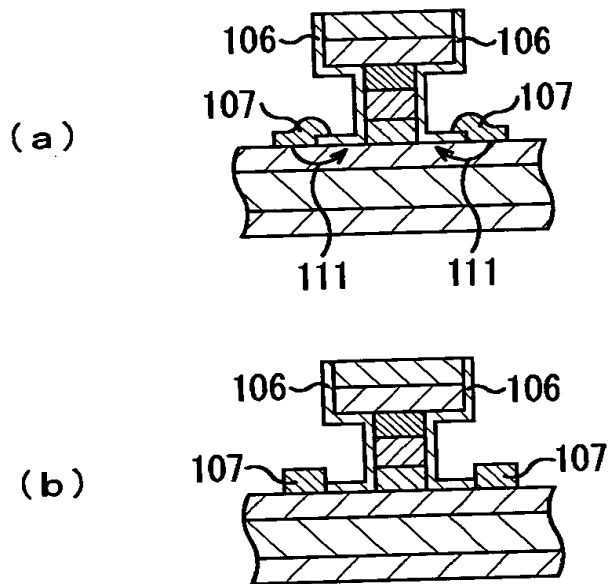
3 1 a 第 1 のレジスト

3 1 b 第 2 のレジスト

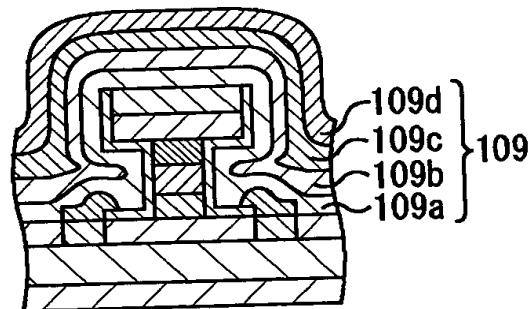
【書類名】

図面

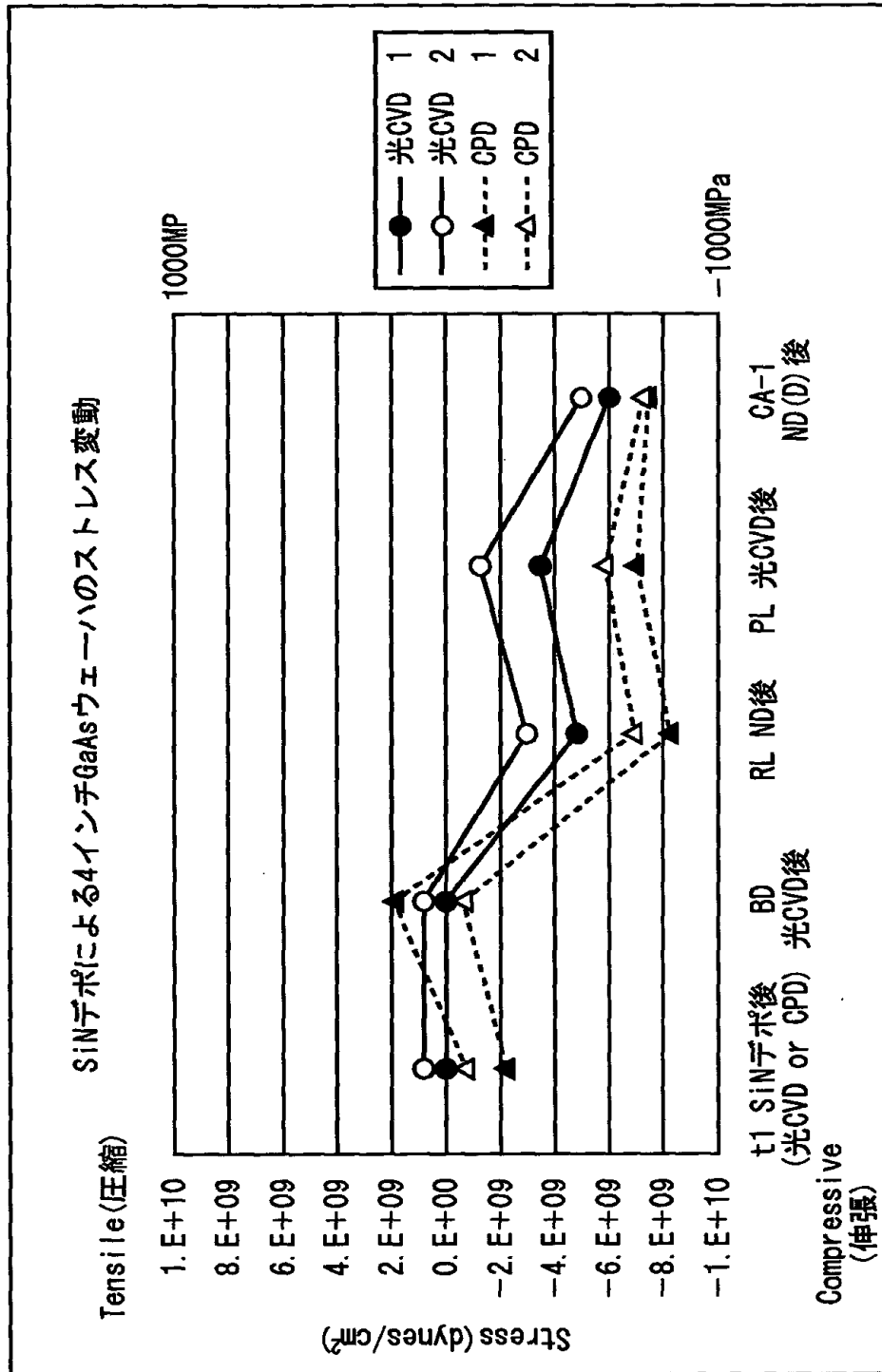
【図1】



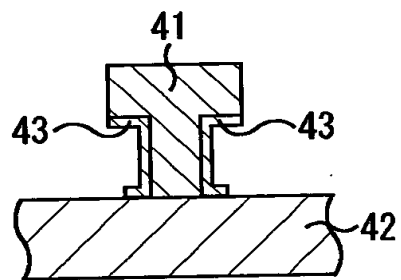
【図2】



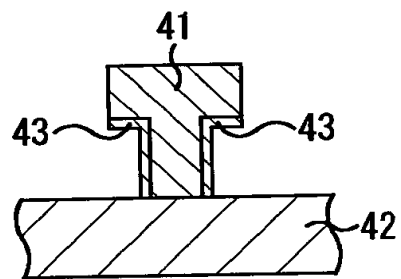
【図3】



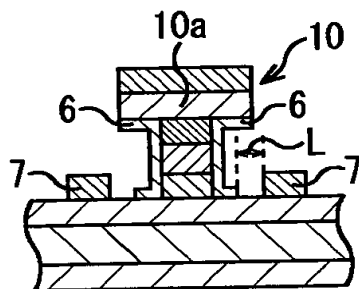
【図 4】



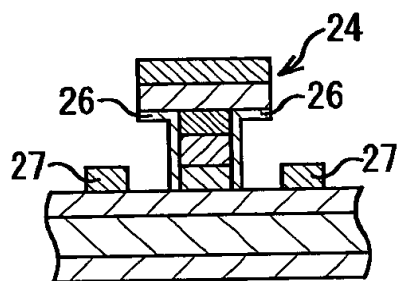
【図 5】



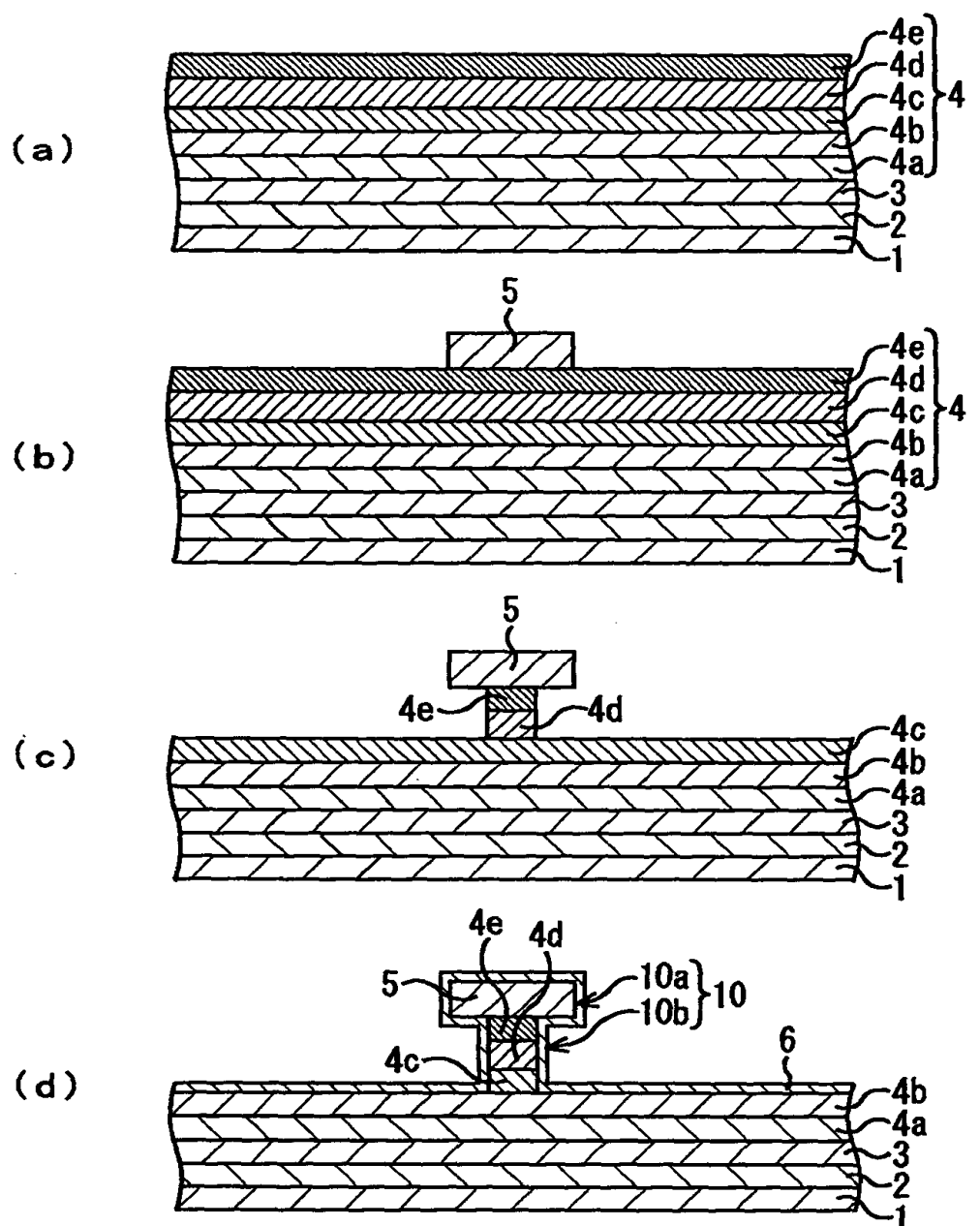
【図 6】



【図 7】

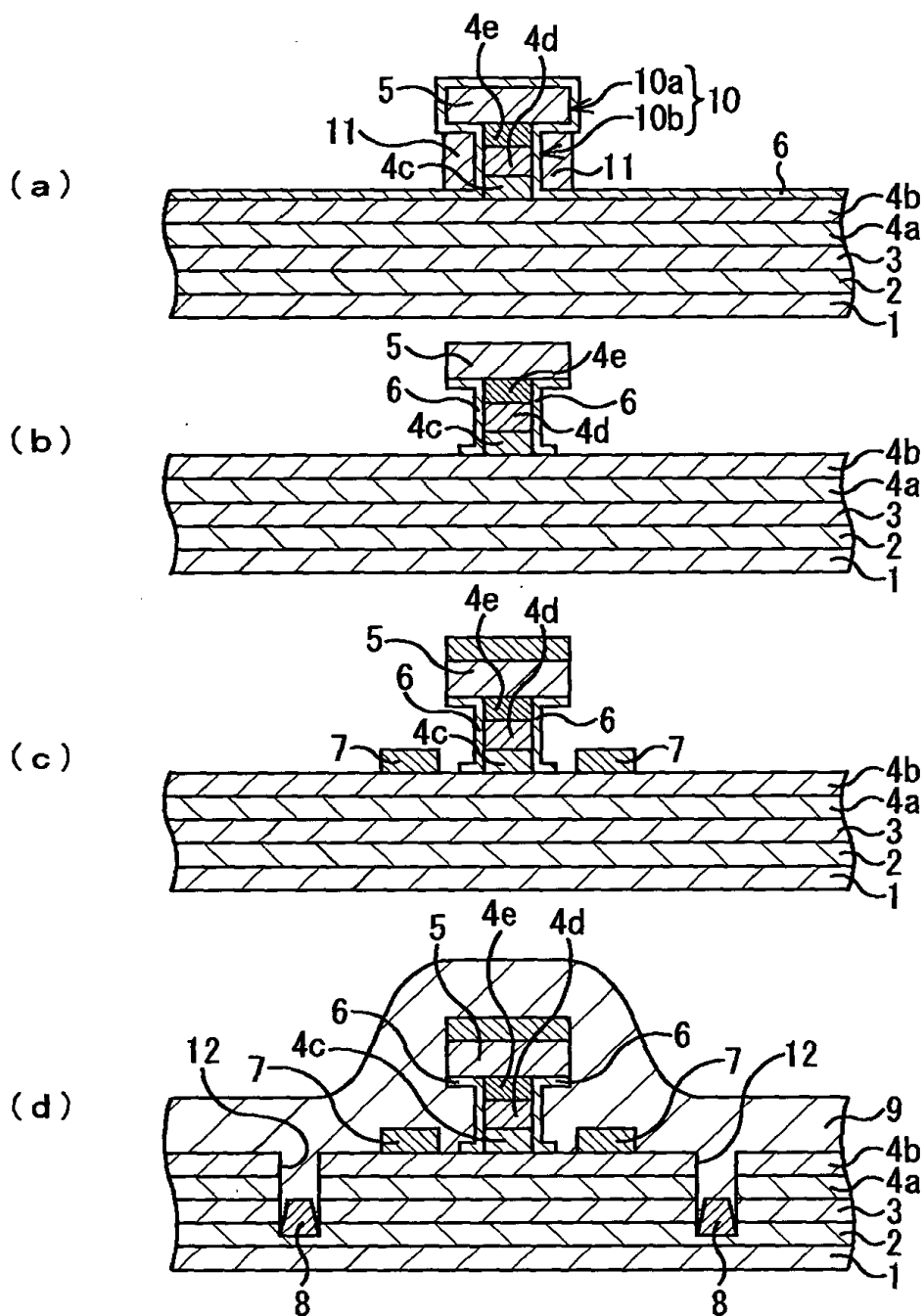


【図 8】



- | | | |
|---------------|-----------------|------------------|
| 1 GaAs基板 | 4a, 4c n型InGaP層 | 6 保護膜(パッシベーション膜) |
| 2 n型GaAsコレクタ層 | 4b, 4d n型GaAs層 | 10 エミッタ構造体 |
| 3 p型GaAsベース層 | 4e n型InGaAs層 | 10a 傘状部位 |
| 4 エミッタ層 | 5 エミッタ電極層 | 10b 柄状部位 |

【図9】

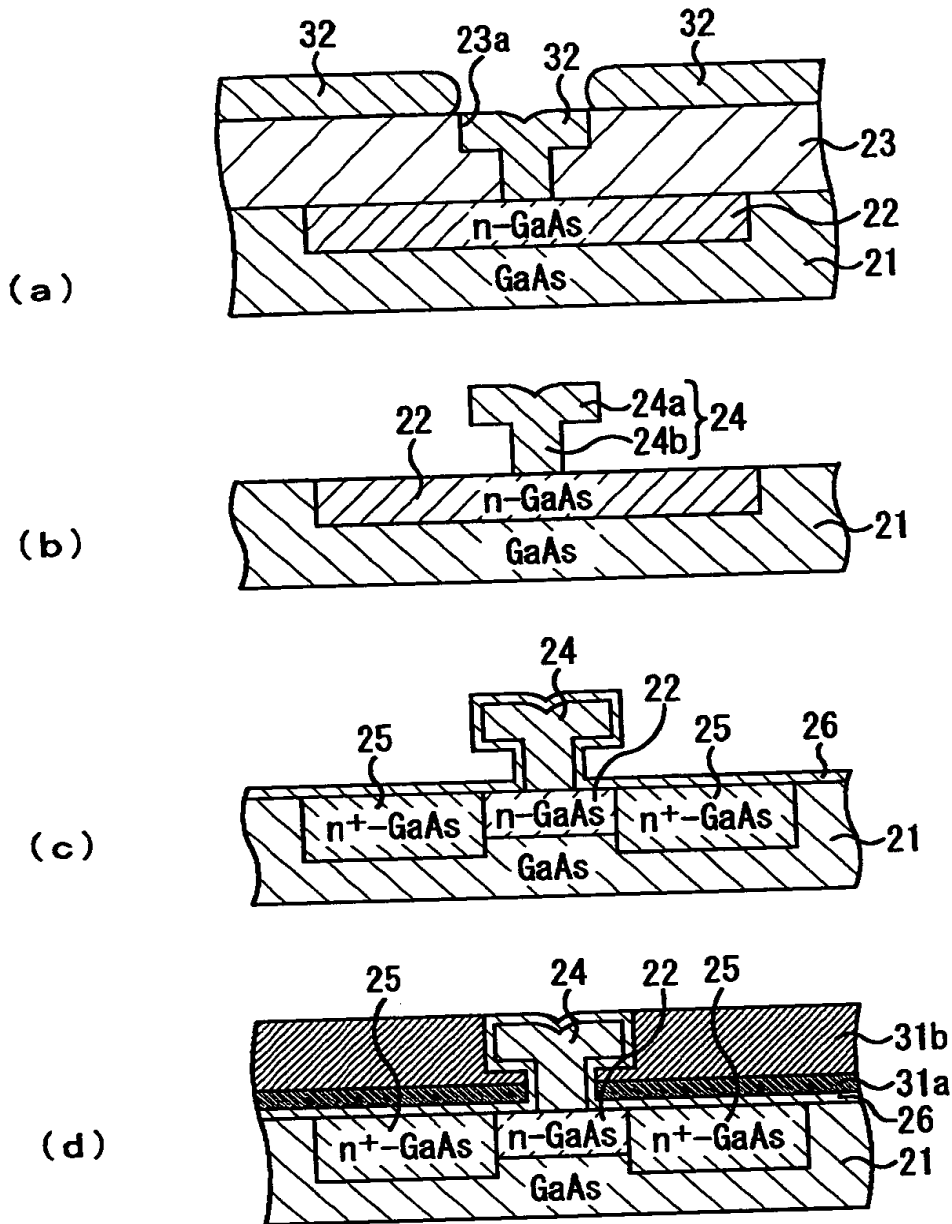


7 ベース電極層
8 コレクタ電極層

9 層間絶縁膜
11 レジストマスク

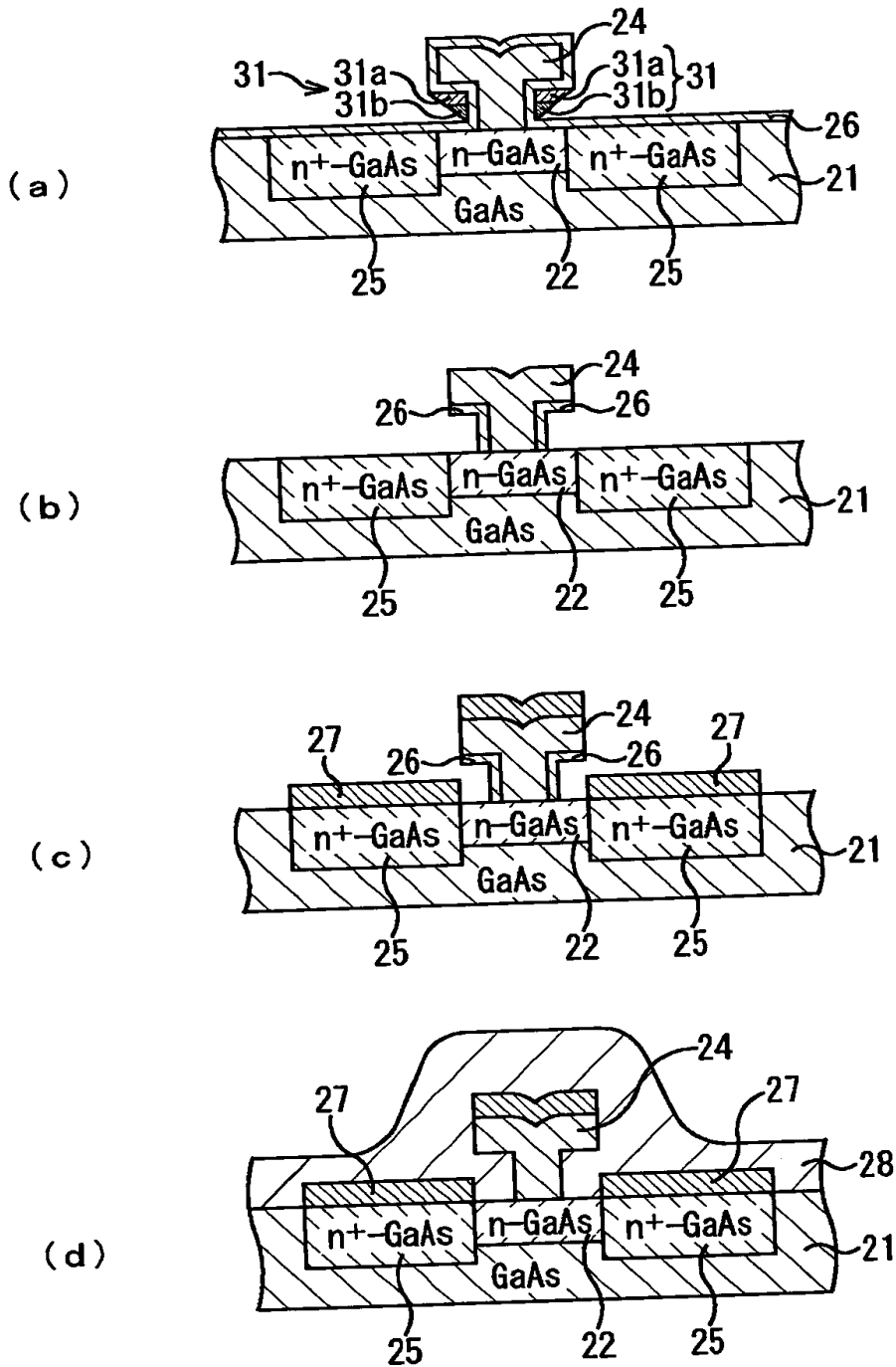
12 開口

【図10】



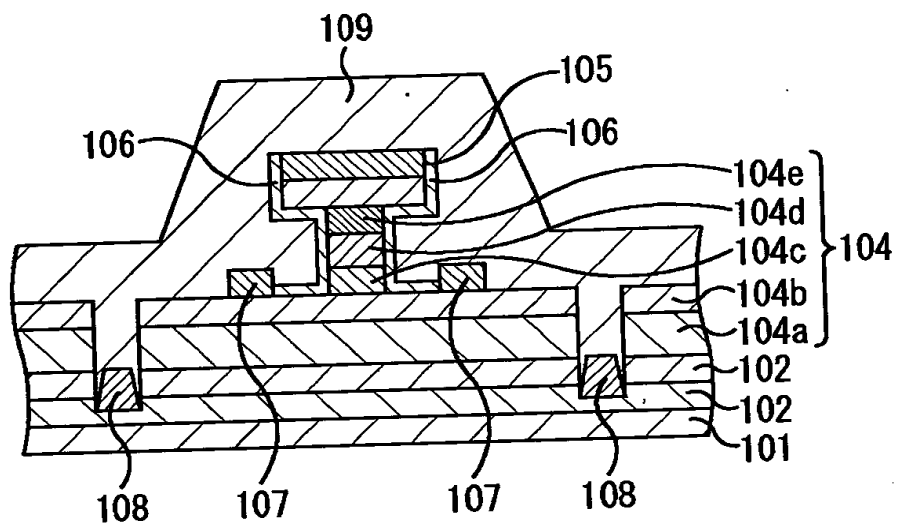
- | | |
|-------------|--------------------------------------|
| 21 GaAs基板 | 24b 柄状部位 |
| 22 n-GaAs領域 | 25 n ⁺ -GaAs領域(ソース/ドレイン)層 |
| 23 レジストパターン | 26 保護膜(パッシベーション膜) |
| 24 ゲート電極 | 31a 第1のレジスト |
| 24a 傘状部位 | 31b 第2のレジスト |

【図11】



27 オーミック電極層 28 層間絶縁膜 31 レジストマスク

【図 1 2】



【書類名】 要約書

【要約】

【課題】 HBTやMESFETに代表されるような、半導体層上にオーバーハング形状の構造体を有し、当該構造体をマスクとして半導体層上に電極が形成されてなる半導体装置において、当該電極に発生しがちな故障を抑止し、特に高温動作における高いデバイス信頼性を確保する。

【解決手段】 パッシベーション膜6の端部がオーバーハング形状のエミッタ構造体10の端位置よりも距離Lだけ内側に位置しており、エミッタ構造体10をマスクとしてエッチングしてベース電極層7を形成しても、ベース電極層7がパッシベーション膜6の端部にオーバーラップしないように離間して形成される。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日 1992年 4月 6日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漉阿原1000番地

氏 名 富士通カンタムデバイス株式会社